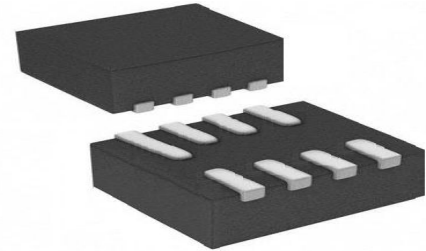


用于开漏模式和推拉模式的 2bit 双向电平转换器

产品简述

MS6212D 是一款双向电平转换器，可以用作混合电压的数字信号系统中。其使用两个独立构架的电源供电，A 端供电电压范围是 1.65V 到 5.5V，B 端供电电压范围是 2.3V 到 5.5V。可用在电源电压为 1.8V、2.5V、3.3V 和 5V 的逻辑信号转换系统中。当 OE 端为低电平时，所有 IO 端口为高阻态，这显著降低了静态功耗。当 VCCA 上电后，OE 端内部集成了下拉电流源。为了确保在上电或下电过程中端口保持高阻特性，OE 端应该通过一个下拉电阻接地，下拉电阻的阻值由驱动电流源的能力决定。

MS6212D 采用 DFN8 封装，工作温度范围是 -40℃ 到 +100℃。



DFN8

主要特点

- 无需方向控制信号
- 数据速率：推拉模式为 20Mbps，开漏模式为 2Mbps
- A 端电压范围 1.65V 到 5.5V，B 端电压范围是 2.3V 到 5.5V
($V_{CCA} \leq V_{CCB}$)
- VCC 隔离：如果任何一个电源拉到地，则端口呈现高阻态
- 无上电顺序要求
- 支持掉电模式

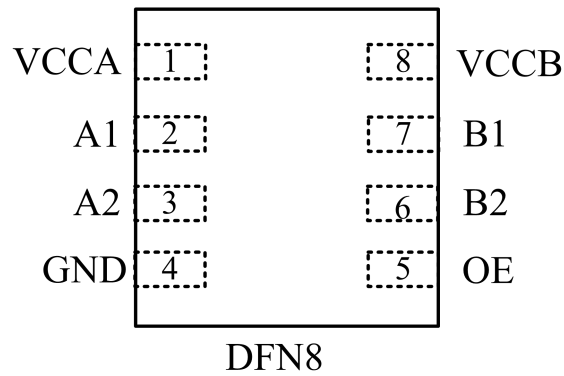
应用

- I²C/SMBus（系统管理总线）
- UART（通用异步收发传输器）
- GPIO（通用输入/输出）

产品规格分类

产品	封装形式	丝印名称
MS6212D	DFN8	2D

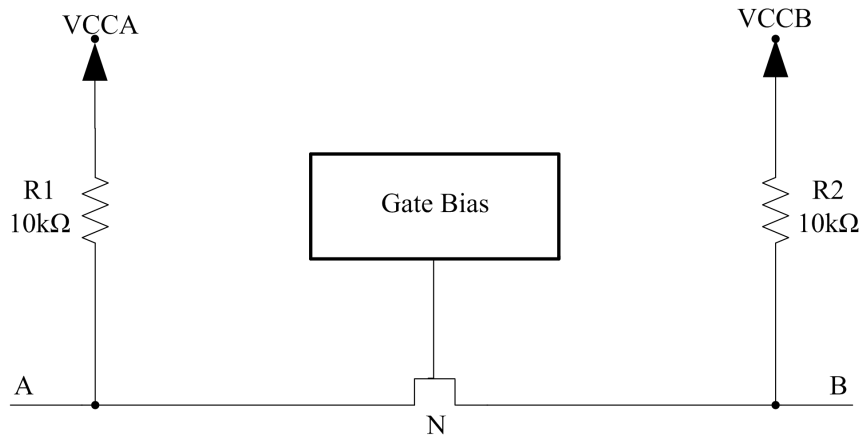
管脚排列图



管脚描述

管脚编号	管脚名称	管脚属性	管脚描述
1	VCCA	--	A 端口供电电压, $1.65V \leq VCCA \leq 5.5V$, 且 $VCCA \leq VCCB$
2	A1	I/O	输入/输出端口A, 参考 VCCA
3	A2	I/O	输入/输出端口A, 参考 VCCA
4	GND	--	地
5	OE	I	输出使能端, 拉低OE 以将所有输出至于高阻态
6	B2	I/O	输入/输出端口B, 参考 VCCB
7	B1	I/O	输入/输出端口B, 参考 VCCB
8	VCCB	--	B 端口供电电压, $2.3V \leq VCCB \leq 5.5V$

内部框图



极限参数

绝对最大额定值

注意：应用中任何情况下都不允许超过下表中的最大额定值

参 数	条件	额定值	单位
电源电压范围VCCA		-0.3~+6.0	V
电源电压范围VCCB		-0.3~+6.0	V
输入端口电压范围		-0.3~+6.0	V
高阻或掉电状态下加到输出端口的电压		-0.3~+6.0	V
正常输出态时加到输出端口的电压	A 端	-0.3~VCCA+0.3V	V
	B 端	-0.3~VCCB+0.3V	V
输入钳位电流	VI<0V	-50	mA
输出钳位电流	VO<0V	-50	mA
持续输出电流IO		±50	mA
持续通过VCCA、VCCB、GND 的电流		±100	mA
工作温度范围		-40~+100	℃
结温		150	℃
储藏温度		-60~+150	℃
焊接温度（10s）		260	℃

电气参数

 (VCCA=1.6V-5.5V, VCCB=2.3V-5.5V, 在 $T_A=25^{\circ}\text{C}$ 情况下的典型值, 除非另有说明)

参数	测试条件		最小值	典型值	最大值	单位
推荐工作条件 ^{(1) (2)}						
供电电压 ⁽³⁾	VCCA		1.2		5.5	V
	VCCB		1.8		5.5	
高电平输入电压 (V_{IH})	A端口	VCCA=1.65V~1.95V VCCB=2.3V~5.5V	$V_{CC1}-0.4$		V_{CC1}	V
		VCCA=2.3V~5.5V, VCCB=2.3V~5.5V	$V_{CC1}-0.4$		V_{CC1}	
	B端		$V_{CC1}-0.4$		V_{CC1}	
	OE端		$VCCA \times 0.8$		5.5	
低电平输入电压 (V_{IL})	A端		0		0.4	V
	B端		0		0.4	
	OE端		0		$VCCA \times 0.2$	
输入信号沿变化($\Delta t/\Delta V$)	A端口推拉驱动				10	ns/V
	B端口推拉驱动				10	
	控制输入				10	
电学特性						
A端口输出高电压(V_{OHA})	$I_{OH}=-20\mu\text{A}, V_{IB} \geq VCCB-0.4\text{V}$			$VCCA \times 0.8$		V
A端口输出低电压(V_{OLA})	$I_{OL}=1\text{mA}, V_{IB} \leq 0.15\text{V}$			0.2		
B端口输出高电压(V_{OHB})	$I_{OH}=-20\mu\text{A}, V_{IA} \geq VCCA-0.4\text{V}$			$VCCB \times 0.8$		
B端口输出低电压(V_{OLB})	$I_{OL}=1\text{mA}, V_{IA} \leq 0.15\text{V}$			0.2		
OE端漏电流 (I_I)	OE			0.1		μA
掉电漏电流 (I_{OFF})	A端	VCCA=0V, VCCB=0V~5.5V		0.1		
	B端	VCCA=0V~5.5V, VCCB=0V		0.1		
三态输出漏电流 (I_{OZ})	A或B端	OE=0V		0.1		
静态电流 (I_{CCA})	$V_I=V_O=OPE$	VCCA=1.65V~VCCB,		0.1		μA

	N, $I_o=0$	VCCB=2.3V~5.5V			
		VCCA=5.5V, VCCB=0V		0.1	
		VCCA=0V, VCCB=5.5V		0.1	
静态电流 ($I_{CCA}+I_{CCB}$)	$V_i=V_o=OPE$ N, $I_o=0$	VCCA= 1.65V~VCCB, VCCB = 2.3V~5.5V		5.5	μA
静态电流 (I_{CCB})	$V_i=V_o=OPE$ N, $I_o=0$	VCCA=1.65V~VCCB, VCCB=2.3V~5.5V		5.5	μA
		VCCA=5.5V, VCCB=0V		0.1	
		VCCA=0V, VCCB=5.5V		0.1	
静态电流 (I_{CZA})	$V_i=V_o=OPE$ N, $I_o=0$, OE=GND	VCCA=1.65V~VCCB, VCCB=2.3V~5.5V		0.1	μA
		VCCA=5.5V, VCCB=0V		0.1	
		VCCA=0V, VCCB=5.5V		0.1	
静态电流 (I_{CZB})	$V_i=V_o=OPE$ N, $I_o=0$, OE=GND	VCCA=1.65V~VCCB, VCCB=2.3V~5.5V		0.1	μA
		VCCA=5.5V, VCCB=0V		0.1	
		VCCA=0V, VCCB=5.5V		0.1	
OE 输入电容 (C_i)		VCCA=3.3V,VCCB=3.3V		5	pF
A 端口输入电容 (C_{io})		VCCA=3.3V,VCCB=3.3V		6.5	pF
B 端口输入电容 (C_{io})				6.5	

注 1: V_{CC1} 是与输入端口相关联的 V_{CC} 。

2: V_{CC0} 是与输出端口相关联的 V_{CC} 。

3: VCCA 必须小于等于VCCB, 且VCCA 不能超过5.5V。

时序要求:

		VCCB=2.5V	VCCB=3.3V	VCCB=5V	单位
		典型值	典型值	典型值	
(T _A = +25°C, VCCA = 1.8V, 除非另有说明)					
数据速率	推拉模式	18	18	16	Mbps
	开漏模式	2	2	2	
(T _A = +25°C, VCCA = 2.5V, 除非另有说明)					
数据速率	推拉模式	20	18	17	Mbps
	开漏模式	2	2	2	
(T _A = +25°C, VCCA = 3.3V, 除非另有说明)					
数据速率	推拉模式		20	17	Mbps
	开漏模式		2	2	
(T _A = +25°C, VCCA = 5V, 除非另有说明)					
数据速率	推拉模式			17	Mbps
	开漏模式			2	

开关特性:

 (T_A = +25°C, VCCA = 1.8V, 除非另有说明)

参数	符号	测试条件	VCCB = 2.5V	VCCB = 3.3V	VCCB = 5V	单位
			TYP	TYP	TYP	
VCCA = 1.8V						
A到B 延时	tPHL	推拉模式	2.4	3.0	5.4	ns
		开漏模式	26.0	26.3	26.7	
	tPLH	推拉模式	4.0	3.6	3.5	
		开漏模式	175	145	110	
B到A 延时	tPHL	推拉模式	2.0	2.6	3.6	ns
		开漏模式	26.0	26.1	26.2	
	tPLH	推拉模式	1.7	1.5	1.4	
		开漏模式	133	69	51	

OE开启时间 (tPZH 和tPZL)	tEN		5.2	4.4	3.8	ns
OE关断时间 (tPHZ 和tPLZ)	tDIS		614	616	626	
A 端口上升沿	trA	推拉模式	16	15	14	ns
		开漏模式	89	31	10	
B 端口上升沿	trB	推拉模式	12	11	9	ns
		开漏模式	128	98	58	
A 端口下降沿	tfA	推拉模式	10	9	8	ns
		开漏模式	1.9	1.7	1.6	
B 端口下降沿	tfB	推拉模式	9	14	18	ns
		开漏模式	2.2	2.3	2.9	
通道延时偏差	tsk(0)		0.5	0.5	0.5	ns
数据速率		推拉模式	18	18	17	Mbps
		开漏模式	2	2	2	
VCCA = 2.5V						
A到B 延时	tPHL	推拉模式	2.7	3.3	4.8	ns
		开漏模式	26.2	26.4	26.7	
	tPLH	推拉模式	2.6	2.4	2.3	
		开漏模式	169	144	110	
B到A 延时	tPHL	推拉模式	2.4	2.3	2.4	ns
		开漏模式	26.3	26.4	26.5	
	tPLH	推拉模式	2.0	1.9	1.8	
		开漏模式	165	118	55	
OE开启时间 (tPZH 和tPZL)	tEN		14	13	12	ns
OE关断时间 (tPHZ 和tPLZ)	tDIS		630	635	640	
A 端口上升沿	trA	推拉模式	13	13	12	ns
		开漏模式	120	70	10	

B 端口上升沿	trB	推拉模式	4.5	3.4	2.6	ns
		开漏模式	122	96	62	
A 端口下降沿	tfA	推拉模式	8	7	6	ns
		开漏模式	2.0	1.9	1.7	
B 端口下降沿	tfB	推拉模式	8	12	15	ns
		开漏模式	1.9	2.1	2.7	
通道延时偏差	tsk(0)		0.5	0.5	0.5	ns
VCCA = 3.3V						
A到B 延时	tPHL	推拉模式		3.5	4.9	ns
		开漏模式		26.3	26.7	
	tPLH	推拉模式		2.2	2.0	
		开漏模式		133	104	
B到A 延时	tPHL	推拉模式		3.0	3.2	ns
		开漏模式		26.6	26.8	
	tPLH	推拉模式		1.8	1.7	
		开漏模式		132	83	
OE开启时间 (tPZH 和tPZL)	tEN			12	11	ns
OE关断时间 (tPHZ 和tPLZ)	tDIS			630	635	
A 端口上升沿	trA	推拉模式		12	11	ns
		开漏模式		87	36	
B 端口上升沿	trB	推拉模式		10	9	ns
		开漏模式		87	56	
A 端口下降沿	tfA	推拉模式		12	11	ns
		开漏模式		2.3	2.0	
B 端口下降沿	tfB	推拉模式		13	16	ns
		开漏模式		2.0	2.5	
通道延时偏差	tsk(0)			0.5	0.5	ns

VCCA = 5.0V						
A到B 延时	tPHL	推拉模式			5.4	ns
		开漏模式			26.7	
	tPLH	推拉模式			1.9	
		开漏模式			120	
B到A 延时	tPHL	推拉模式			5.6	ns
		开漏模式			27.3	
	tPLH	推拉模式			1.7	
		开漏模式			126	
OE开启时间 (tPZH 和tPZL)	tEN				10	ns
OE关断时间 (tPHZ 和tPLZ)	tDIS				636	
A 端口上升沿	trA	推拉模式			8	ns
		开漏模式			79	
B 端口上升沿	trB	推拉模式			7	ns
		开漏模式			73	
A 端口下降沿	tfA	推拉模式			8.7	ns
		开漏模式			2.7	
B 端口下降沿	tfB	推拉模式			8.6	ns
		开漏模式			2.4	
通道延时偏差	tsk(0)				0.5	ns

应用说明

MS6212D 可以用于桥接两个不同的电压节点，以成功连接电子系统中的逻辑门电平。它可以用在点对点拓扑中，用于连接在不同接口电压下相互操作的设备或系统中。它的主要目标是用开漏模式与 I/O 口进行数据连接，例如 I²C 和 1-Wire，数据是双向传输且不需要控制信号，也可以用推拉模式与 I/O 口进行数据连接。

输入驱动需求

信号的下降时间(t_{fA} , t_{fB})取决于驱动 MS6212D 的数据 I/O 口外部驱动器的输出阻抗，同样的， t_{PHL} 和数据速率也取决于外部驱动器的输出阻抗。数据表中 t_{fA} , t_{fB} , t_{PHL} 的值和转换速率定义为假设外部驱动器的输出阻抗小于 50Ω 情况下的值。

上电

在操作期间，要保证 $V_{CCA} \leq V_{CCB}$ 。在上电操作期间，每个电源的排序不会损坏设备，因此可以首先提升任意一个电源。

输出负载注意事项

我们建议使用 PCB 布线长度小的 PCB 布局，以避免过大的电容负载并确保正确的单次触发发生。PCB 信号线走线长度应保持足够短，以使每次影射的往返延迟小于单次触发持续时间。通过确保任何一次影射都能在驱动器处看到一个低阻抗，从而改善信号完整性。设计的单次触发周期保持在接近 30ns。可以驱动的集总负载的最大电容也直接取决于单次持续时间。对于非常大的容性负载，单次触发可以在信号被完全驱动到正轨之前超时。通过对动态参数 I_{CC} 、负载驱动能力和最大比特率之间的权衡，设置单次触发的持续时间为最佳状态。从 MS6212D 的输出可以看到 PCB 走线长度和连接器都会使电容增加，因此建议考虑使用集总负载电容，以避免重新单次触发、总线竞争、输出信号震荡或其他不利的系统级影响。

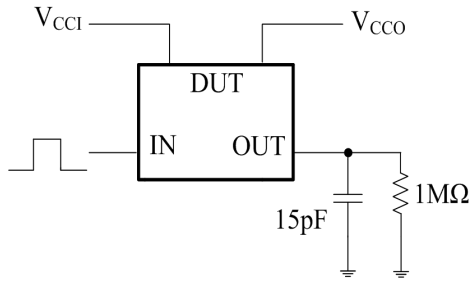
启用和关断

MS6212D 有一个 OE 输入端口以用来当 OE 为低电平时使器件关断，使所有 I/O 口在高阻状态。只要 V_{CCA} 通电，OE 就会存在一个内部的下拉电流源，关断时间 (t_{DIS}) 表示 OE 变为低电平和输出为高阻状态之间的延迟。启用时间 (t_{EN}) 表示用户必须允许单电路在 OE 被提升为高电平后才能运行的时间。

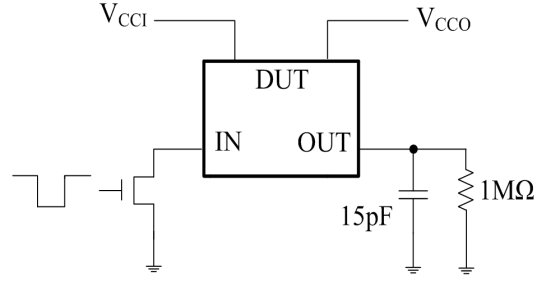
I/O 口的上拉和下拉电阻

每一个 A 端口对于 V_{CCA} 都有一个 10kΩ 的内部上拉电阻，每一个 B 端口对于 V_{CCB} 都有一个 10kΩ 的内部上拉电阻。如果需要一个更小的上拉电阻，必须在 I/O 口到 V_{CCA} 或 V_{CCB} 之间添加一个外部电阻，而加上一个阻值更小的上拉电阻将会影响 V_{OL} 电平，当 OE 为低电平时，内部上拉电阻会被关断。

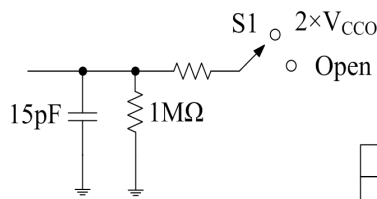
参数测试信息



推拉模式

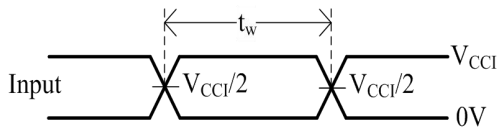


开漏模式

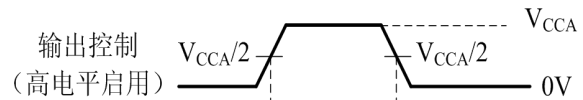


使能端/非使能端负载电流
时间测量

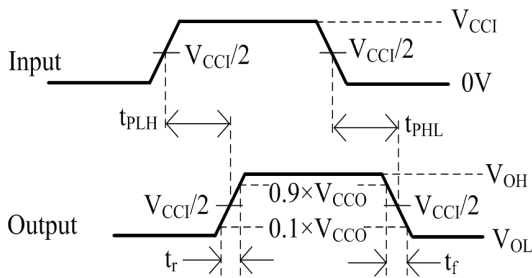
TEST	S1
t_{PZL}/t_{PLZ}	$2 \times V_{CCO}$
t_{PHZ}/t_{PZH}	Open



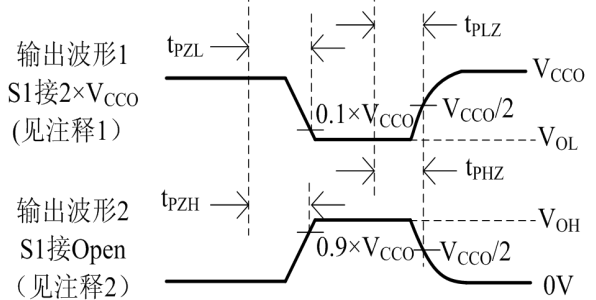
脉冲时间电压波形



输出控制
(高电平启用)



传输延时电压波形



启用和禁用电压波形

注 1: C_L 包括探针和夹电容。

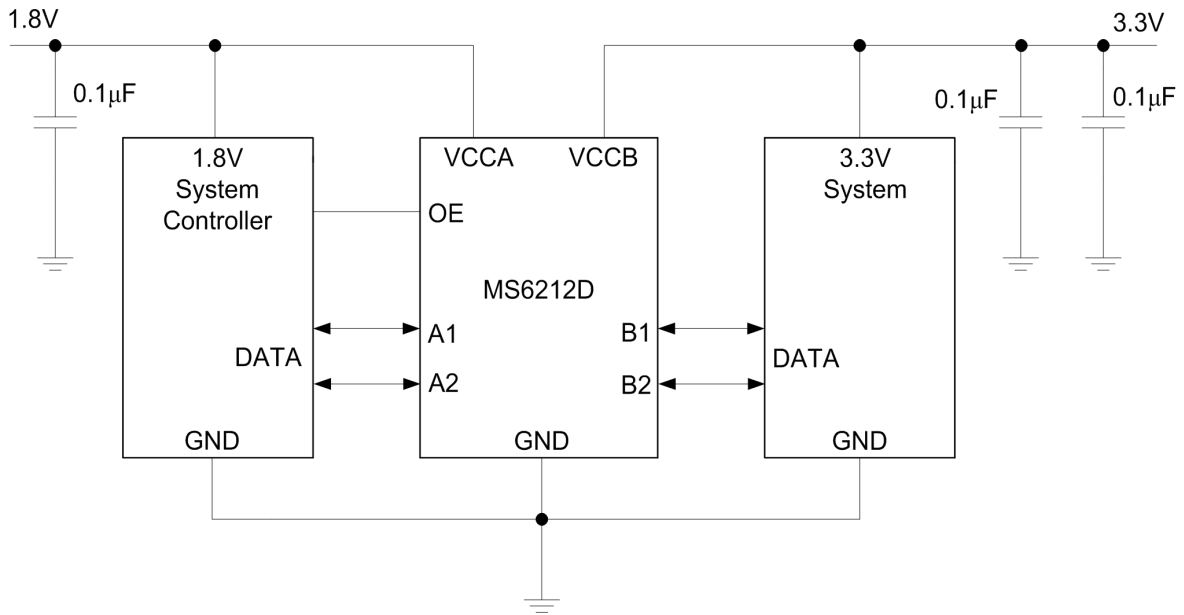
2: 波形1 用于具有内部条件的输出, 使输出为低电平, 除非输出控制端关断, 波形2 用于具有内部条件的输出, 使输出为高电平, 除非输出控制端关断。

3: 所有的输入脉冲由具有以下特性的发生器提供: $PRR \leq 10\text{MHz}$, $Z_o = 50\Omega$, $dv/dt \geq 1\text{V/ns}$ 。

4: 输出一次测量一次, 每次测量都要转换一次。

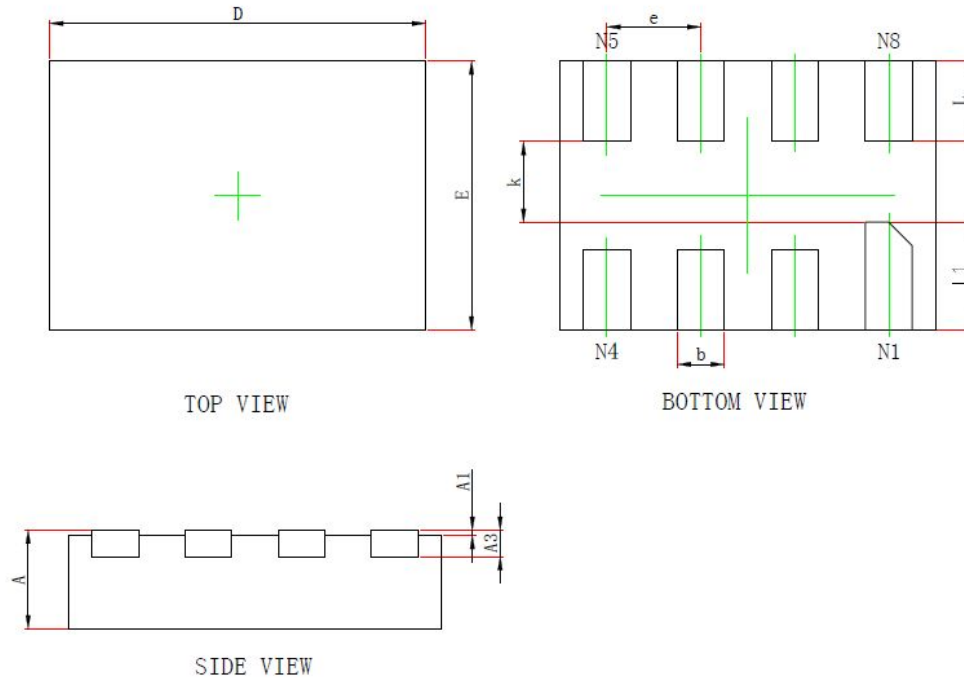
- 5: t_{PLZ} 、 t_{PHZ} 与 t_{DIS} 相同
- 6: t_{PZL} 、 t_{PZH} 与 t_{EN} 相同
- 7: t_{PLH} 、 t_{PHL} 与 t_{PD} 相同
- 8: V_{CCI} 是与输入端口相关联的 V_{CC} 。
- 9: V_{CCO} 是与输出端口相关联的 V_{CC} 。

典型应用图



封装外形图

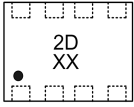
DFN8:



符号	单位 (毫米)		单位 (英寸)	
	最小值	最大值	最小值	最大值
A	0.340	0.400	0.013	0.016
A1	0.000	0.050	0.000	0.002
A3	0.100REF		0.004REF	
D	1.350	1.450	0.053	0.057
E	0.950	1.050	0.037	0.041
D1	-	-	-	-
E1	-	-	-	-
k	0.200MIN		0.008MIN	
b	0.150	0.200	0.006	0.008
e	0.350TYP		0.014TYP	
L	0.250	0.350	0.010	0.014
L1	0.350	0.450	0.014	0.018

印章与包装规范

一、印章内容介绍



2D: 产品型号

XX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用Arial 字体。

三、包装说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS6212D	DFN8	3000	10	30000	4	120000

变更历史

版本号	修订日期	修订内容	页码
V1.1	2020/11/24	变更应用说明	7
		增加变更历史和声明模块	17

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！

**MOS电路操作注意事项:**

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911

杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室[http:// www.relmon.com](http://www.relmon.com)